

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144091

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

G11C 29/00
G11C 11/401

(21)Application number : 08-291750

(71)Applicant : NEC CORP

(22)Date of filing : 01.11.1996

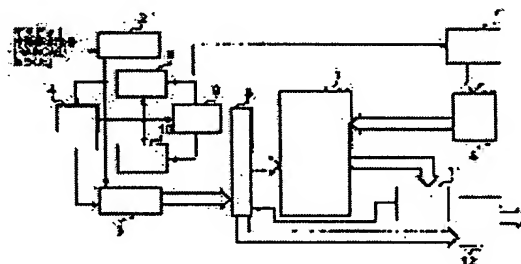
(72)Inventor : IKEDA YASUMI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To make a semiconductor memory having faulty bits usable without otherwise investigating it separately by self-detecting addresses having faulty its related to plural memory cells in a memory cell array simply and definitely.

SOLUTION: This semiconductor device is provided with a write cycle generating circuit (WC) 6, a read cycle generating circuit (RC) 10 and a '1' or '0' output circuit 7 and an incidence/nonincidence deciding circuit (ED) 11. This faulty bit address retrieving operation is performed by allowing a faulty bit retrieving request signal to be inputted from the outside. The circuit WC 6 is an circuit for writing the data of '1' or '0' in plural cells and the circuit RC 10 is a circuit for reading out pre-written data. The circuit ED 11 decides the coincidence/noncoincidence among the data written by the circuit WC 6 and the data read out by the circuit RC 10 and the circuit 11 transmits addresses having noncoincident data when the noncoincidence is existing.



LEGAL STATUS

[Date of request for examination] 01.11.1996

[Date of sending the examiner's decision of rejection] 29.03.2000

[Kind of final disposal of application other

than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number] 3147010

[Date of registration] 12.01.2001

[Number of appeal against examiner's
decision of rejection] 2000-06179

[Date of requesting appeal against
examiner's decision of rejection] 27.04.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144091

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁸

G 1 1 C 29/00
11/401

識別記号

6 0 3

F I

G 1 1 C 29/00
11/34

6 0 3 R
3 7 1 C

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平8-291750

(22) 出願日

平成 8 年(1996)11月 1 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 池田 康己

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

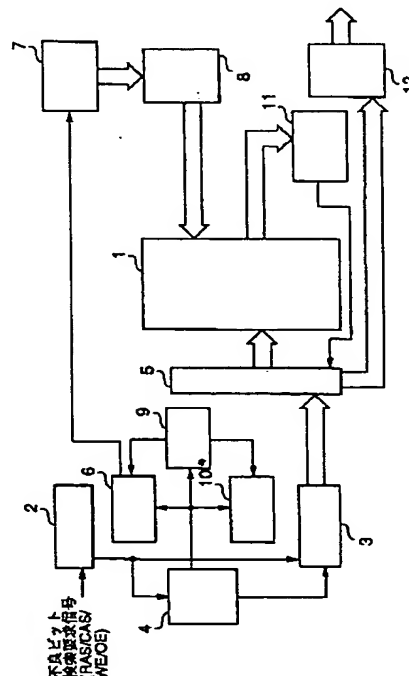
(74) 代理人 弁理士 後藤 洋介 (外 2 名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 不良ビットを有するアドレスを簡単にして適確に自己検出し得る半導体記憶装置を提供すること。

【解決手段】 この半導体記憶装置は、コントロール信号の組み合わせが外部から入力されて不良ビットアドレス検索動作が設定されるもので、1又は0のデータを複数のメモリセルの全てに書き込むためのライト・サイクル発生回路6と、書き込み済みのデータを読み出すためのリード・サイクル発生回路10と、ライト・サイクル発生回路6からのライト・サイクルのタイミングにより1又は0のデータを出力する1又は0出力回路7と、ライト・サイクル発生回路6で書き込んだデータとリード・サイクル発生回路10により読み出したデータとの一致／不一致を判定し、その判定結果により不一致が検出された場合に不一致データを保有するアドレスを伝達する一致／不一致判定回路11とを備えている。



【特許請求の範囲】

【請求項1】 アドレス信号及びクロック信号を内部回路で自動的に発生させてメモリセルアレイに配列された複数のメモリセルに対するリフレッシュを実行する半導体記憶装置において、1又は0のデータを前記複数のメモリセルの全てに書き込むためのライト・サイクル発生回路と、前記書き込み済みのデータを読み出すためのリード・サイクル発生回路と、前記ライト・サイクル発生回路で書き込んだデータと前記リード・サイクル発生回路により読み出したデータとの一致／不一致を判定し、該判定結果により不一致が検出された場合に不一致データを保有するアドレスを伝達する一致／不一致判定回路とを備えたことを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、前記ライト・サイクル発生回路からのライト・サイクルのタイミングにより前記1又は0のデータを出力する1又は0出力回路を備えたことを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置において、前記ライト・サイクル発生回路からのライト・サイクルのタイミングにより前記1のデータを出力する1出力回路と、前記0のデータを出力する0出力回路とを備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主としてアドレス信号及びクロック信号を装置の内部回路で自動的に発生してメモリセルアレイに配列された複数のメモリセルに対するリフレッシュを実行する半導体記憶装置に関する。

【0002】

【従来の技術】従来の一般的な半導体記憶装置としては、例えば図3に示すような構成のものが挙げられる。

【0003】この半導体記憶装置は、配列された複数のメモリセルから選択されたものに対してデータの書き込み、読み出しが可能なメモリアレイ1と、リフレッシュ動作を実行するコントロール信号の組み合わせが外部から入力されると、内部でリフレッシュを実行するコントロール信号の組み合わせによる制御用クロック信号を発生するクロック発生回路2と、リフレッシュを実行するためのコントロール信号の組み合わせで使用するアドレス信号を自動的に発生するアドレス信号自動発生回路3と、リフレッシュを実行するためのコントロール信号の組み合わせで使用するクロック信号を自動的に発生するクロック信号自動発生回路4と、リフレッシュ動作に際してロウアドレスを保有するロウアドレスデコーダ5と、全てのメモリセルアレイ1にデータを書き込ませるデータ入力バッファ8と、アドレス検索されたアドレスを外部に出力するためのデータ出力バッファ12とを備えて成っている。

【0004】この半導体記憶装置において、リフレッシュ動作の設定はこれを実行するためのコントロール信号の組み合わせ（ロウアドレスストローブ信号RAS、コラムアドレスストローブ信号CAS、ライトイネーブル信号WE、及びアウトプットイネーブル信号OEに関する特定の組み合わせであり、リフレッシュ要求信号とみなせる）が外部から入力されることで行われる。

【0005】これによりクロック発生回路2からは、リフレッシュモードであることを示すモード指示用のクロック信号がアドレス信号自動発生回路3及びクロック信号自動発生回路4へ送出される。アドレス信号自動発生回路3では、クロック信号自動発生回路4からのクロック信号に従ってメモリセルアレイ1が有するロウアドレスの数だけのロウアドレスを自動発生させてロウアドレスデコーダ5へ送出する。メモリアレイ1内の複数のメモリセルにはデータ入力バッファ8からのデータがロウアドレスデコーダ5で保有しているアドレスに従って書き込まれ、このときのアドレスはデータ出力バッファ12へ送出される。

【0006】このようなリフレッシュ動作の実行により、メモリセルアレイ1内の複数のメモリセルに関する状態をデータ出力バッファ12から外部に出力されるアドレスに基づいて判定できるようになっている。

【0007】因みに、こうしたリフレッシュの実行を含む半導体記憶装置に関連した周知技術としては、例えば特開平4-134700号公報に開示されたダイナミック型半導体記憶装置、特開平3-30036号公報に開示された半導体記憶装置、特開昭61-131294号公報に開示された記憶装置等が挙げられる。

【0008】

【発明が解決しようとする課題】上述した半導体記憶装置の場合、不良ビットを有するアドレスを自己で検出する回路が無いと、装置独自で不良ビットを有するアドレスを検出できず、これにより不良ビットを有している場合には他の部分の状態が良くても不良品として無駄に廃棄されてしまうという問題がある。

【0009】一方、不良ビットを有する半導体記憶装置を使用するには、不良ビットのアドレスを検出し、検出した不良ビットを含むアドレスを再度使用しないようにする必要があるが、ここで不良ビットのアドレスを検出するためにはメモリテスト等を用いて別途に調査する必要があり、この工程に要する手間が掛かり過ぎてしまうという問題がある。

【0010】本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、不良ビットを有するアドレスを簡単にして適確に自己検出し得る半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】本発明によれば、アドレス信号及びクロック信号を内部回路で自動的に発生させ

てメモリセルアレイに配列された複数のメモリセルに対するリフレッシュを実行する半導体記憶装置において、1又は0のデータを複数のメモリセルの全てに書き込むためのライト・サイクル発生回路と、書き込み済みのデータを読み出すためのリード・サイクル発生回路と、ライト・サイクル発生回路で書き込んだデータとリード・サイクル発生回路により読み出したデータとの一致／不一致を判定し、該判定結果により不一致が検出された場合に不一致データを保有するアドレスを伝達する一致／不一致判定回路とを備えた半導体記憶装置が得られる。

【0012】又、本発明によれば、上記半導体記憶装置において、ライト・サイクル発生回路からのライト・サイクルのタイミングにより1又は0のデータを出力する1又は0出力回路を備えた半導体記憶装置や、或いはライト・サイクル発生回路からのライト・サイクルのタイミングにより1のデータを出力する1出力回路と、0のデータを出力する0出力回路とを備えた半導体記憶装置が得られる。

【0013】

【発明の実施の形態】以下に実施例を挙げ、本発明の半導体記憶装置について、図面を参照して詳細に説明する。

【0014】図1は、本発明の一実施例に係る半導体記憶装置の基本構成を示した機能ブロック図である。

【0015】この半導体記憶装置は、配列された複数のメモリセルから選択されたものに対してデータの書き込み、読み出しが可能なメモリアレイ1と、不良ビットアドレス検索動作を実行するコントロール信号の組み合わせが外部から入力されると、内部で不良ビットアドレス検索動作を実行するコントロール信号の組み合わせの制御用クロック信号を発生するクロック発生回路2と、不良ビットアドレス検索動作を実行するコントロール信号の組み合わせで使用するアドレス信号を自動的に発生するアドレス信号自動発生回路3と、不良ビットアドレス検索動作を実行するコントロール信号の組み合わせで使用するクロック信号を自動的に発生するクロック信号自動発生回路4と、不良ビットアドレス検索動作に際してロウアドレスを保有するロウアドレスデコーダ5とを備えている。

【0016】又、この半導体記憶装置は、アドレス信号自動発生回路3のアドレス信号とクロック信号自動発生回路4のクロック信号とを使用してライト・サイクルを発生させるライト・サイクル発生回路6と、リード・サイクルのタイミングを発生させるリード・サイクル発生回路10と、ライト・サイクルのタイミングにより1又は0を出力する1又は0出力回路7と、メモリアレイ1の複数のメモリセルの全部に1又は0のデータを書き込ませるデータ入力バッファ8と、ライト・サイクル発生回路6で発生したライト・サイクルの停止、並びにリード・サイクル発生回路10で発生したリード・サイ

クルの開始を制御用にカウントするカウンタ9と、ライト・サイクル発生回路6で書き込んだデータとリード・サイクル発生回路10により読み出したデータとを一致か不一致かを判定し、その判定結果により不一致が検出された場合に不一致データを保有するアドレスを伝達する一致／不一致判定回路11と、不一致の場合のアドレスを外部に出力するデータ出力バッファ12とを備えている。

【0017】次に、この半導体記憶装置における動作について説明する。ここでの不良ビットアドレス検索動作の設定は、不良ビットアドレス検索動作を実行するコントロール信号の組み合わせ（ロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WE、及びアウトプットイネーブル信号OEに関する特定の組み合わせであり、不良ビット検索要求信号とみなせる）が外部から入力されることで行われる。

【0018】不良ビットアドレス検索動作を実行するコントロール信号の組み合わせが外部から入力されると、クロック発生回路2から不良アドレス検索モードであることを示すモード指示用のクロック信号がアドレス信号自動発生回路3とクロック信号自動発生回路4とに送出される。

【0019】アドレス信号自動発生回路3はロウアドレスを自動的に発生させてロウアドレスデコーダ5へ送出する。クロック信号自動発生回路4はライト・サイクル発生回路6へクロック信号を送出し、ライト・サイクル発生回路6は自動的にライト・サイクルのタイミングを発生して1又は0出力バッファ回路7へライト・サイクル指示を送出する。1又は0出力バッファ回路7は、ライト・サイクルのタイミングによりメモリアレイ1の複数のメモリセルの全部に1又は0のデータを書き込ませるため、1又は0のデータをデータ入力バッファ8へ送出する。

【0020】自動クロック発生回路4はメモリアレイ1に有するロウアドレスの数だけクロック信号を発生したらカウンタ9にカウンタ用クロック信号を送出し、ライト・サイクル発生回路6にはライト動作停止、リード・サイクル発生回路10にはリード動作開始を指示する旨の指示用クロック信号を送出する。これにより、リード・サイクル発生回路10はリード・サイクルのタイミングを発生する。

【0021】一致／不一致判定回路11は、ライト・サイクル発生回路6で書き込んだデータとリード・サイクル発生回路10で読み出したデータとに関して、一致か不一致かを判定し、その判定結果として不一致である場合にロウアドレスデコーダ5へ判定信号を送出するが、一致した場合には判定信号をロウアドレスデコーダ5へ送出しない。尚、ここでの判定はメモリアレイ1から出力されたデータが一つでも異なる場合には不一致す

る。

【0022】不一致の場合にロウアドレスデコーダ5は、保有しているアドレスをデータ出力バッファ12へ送出する。

【0023】このように不良ビットアドレス検索動作を実行すると、メモリセルアレイ1内の複数のメモリセルに関する不良ビットを有するアドレスを自己検索し、そのアドレスのみがデータ出力バッファ12から外部に出力されるので、メモリセルアレイ1内の何れのメモリセルが不良であるかを簡単に特定できる。

【0024】図2は、本発明の他の実施例に係る半導体記憶装置の基本構成を示した機能ブロック図である。

【0025】ここでの半導体記憶装置は、先の一実施例の1又は0を出力する1又は0出力回路7に代え、ライト・サイクル発生回路6からのライト・サイクルのタイミングによりそれぞれ1を出力する1出力回路13と、0を出力する0出力回路14とを設け、メモリセルアレイ1の複数のメモリセルの全部に1のデータと0のデータとを別々に書き込ませる構成となっている。

【0026】即ち、先の一実施例の装置では、メモリセルアレイ1の複数のメモリセルの全部に1又は0出力回路7から出力する1又は0のデータに関して、一度だけライト・サイクル発生回路6で書き込んだデータとリード・サイクル発生回路10により読み出したデータとを一致か不一致かを判定するように構成されていたのに対し、実施例2の装置では、メモリセルアレイ1の複数のメモリセルの全部に1出力回路13から出力する1のデータに関して、ライト・サイクル発生回路6で書き込んだデータとリード・サイクル発生回路10により読み出したデータを一致か不一致かを判定すると共に、メモリセルアレイ1の複数のメモリセルの全部に0出力回路14から出力する0のデータに関して、ライト・サイクル発生回路6で書き込んだデータとリード・サイクル発生回路10により読み出したデータとを一致か不一致かを判定する点が相違している。

【0027】このように、1又は0を出力する1又は0

出力回路7に代え、1を出力する1出力回路13と0を出力する0出力回路14とを設けて不良ビットアドレス検索動作を実行すれば、1又は0の依存による不良ビットアドレス検出が容易になり、不良ビットアドレスを検出する確率が一層向上する。

【0028】

【発明の効果】以上に説明したように、本発明の半導体記憶装置によれば、外部からの不良ビットアドレス検出動作要求に従ってメモリセルアレイ内の複数のメモリセルに関する不良ビットを有するアドレスを簡易にして適確に自己検出し、そのアドレスがデータ出力バッファから外部に出力されるので、従来では廃棄していた不良ビットを有している半導体記憶装置を別途調査すること無く使用可能にすることができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体記憶装置の基本構成を示した機能ブロック図である。

【図2】本発明の他の実施例に係る半導体記憶装置の基本構成を示した機能ブロック図である。

【図3】従来の半導体記憶装置の基本構成を示した機能ブロック図である。

【符号の説明】

- 1 メモリセルアレイ
- 2 クロック発生回路
- 3 アドレス信号自動発生回路
- 4 クロック信号自動発生回路
- 5 ロウアドレスデコーダ
- 6 ライト・サイクル発生回路
- 7 1又は0出力回路
- 8 データ入力バッファ
- 9 カウンタ
- 10 リード・サイクル発生回路
- 11 一致／不一致判定回路
- 12 データ出力バッファ
- 13 1出力回路
- 14 0出力回路

不良ビット
検査要求信号
(RAS/CAS/
WE/OE)

図1

Figure 1 is a block diagram of a memory system. It includes a refresh request signal input (RAS/CAS/WE/OE) connected to block 2. Block 2 is connected to block 4 and block 3. Block 4 is connected to block 3. Block 3 is connected to block 5. Block 5 is connected to block 1 and block 12. Block 8 is connected to block 1. Block 12 has two output lines.